

CLIPPEDIMAGE= JP02000012864A

PAT-NO: JP02000012864A

DOCUMENT-IDENTIFIER: JP 2000012864 A

TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE

PUBN-DATE: January 14, 2000

INVENTOR-INFORMATION:

NAME	COUNTRY
YAMAZAKI, SHUNPEI	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
SEMICONDUCTOR ENERGY LAB CO LTD	N/A

APPL-NO: JP10174482

APPL-DATE: June 22, 1998

INT-CL\_(IPC): H01L029/786; H01L021/336

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a method for removing a level and a defects due to stress from a singly-crystal silicon thin film formed by a silicon on insulator(SOI) technique.

SOLUTION: A single-crystal silicon thin film 106 is formed, using such typical laminating techniques as smart-cut technique or an ELTRAN technique. Then, the film 106 is patterned to form the film 106 into island-like silicon layers 108 and thereafter, a thermal oxidation treatment of the layers 108 is performed in an oxidizing atmosphere containing a halogen element, whereby island-like silicon layers 109 from which a trap level and a defect are removed, are obtained.

COPYRIGHT: (C)2000,JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-12864

(P2000-12864A)

(43)公開日 平成12年1月14日(2000.1.14)

(51)Int.Cl'

H 01 L 29/786  
21/336

識別記号

F I

テマコト<sup>®</sup>(参考)

H 01 L 29/78

6 2 7 D  
6 2 7 A  
6 2 7 F  
6 2 7 E

審査請求 未請求 請求項の数8 OL (全9頁)

(21)出願番号 特願平10-174482

(22)出願日 平成10年6月22日(1998.6.22)

(71)出願人 000153878

株式会社半導体エネルギー研究所  
神奈川県厚木市長谷398番地

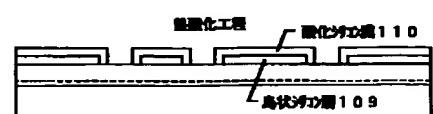
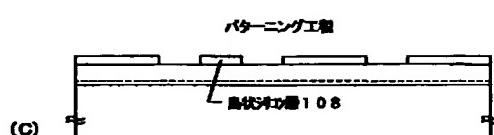
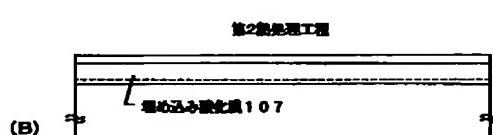
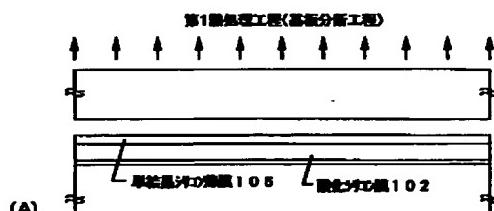
(72)発明者 山崎 拜平  
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(54)【発明の名称】 半導体装置の作製方法

(57)【要約】

【課題】 SOI技術で形成された単結晶シリコン薄膜から応力に起因する準位や欠陥を除去するための方法を提供する。

【解決手段】 まずSmart-CutやELTRANといった代表的な貼り合わせSOI技術を用いて単結晶シリコン薄膜106を形成する。次に単結晶シリコン薄膜106をパターニングして島状シリコン層108とした後、ハロゲン元素を含む酸化性雰囲気中で熱酸化処理を行うことで、トラップ準位や欠陥の除去された島状シリコン層109を得る。



1

## 【特許請求の範囲】

【請求項1】主表面上に酸化シリコン膜を有する第1単結晶シリコン基板に対して主表面側から水素を添加し、水素添加層を形成する第1工程と、前記第1単結晶シリコン基板と支持体となる第2基板とを前記酸化シリコン膜を介して貼り合わせる第2工程と、第1熱処理により前記第1単結晶シリコン基板を分断する第3工程と、前記第3工程によって前記第2基板の上に残存した単結晶シリコン薄膜に対して第2熱処理を行う第4工程と、前記単結晶シリコン薄膜の主表面を平坦化する第5工程と、前記単結晶シリコン薄膜をバターニングして島状シリコン層を形成する第6工程と、前記島状シリコン層に対して熱酸化処理を行う第7工程と、を有することを特徴とする半導体装置の作製方法。

【請求項2】主表面上に酸化シリコン膜を有する第1単結晶シリコン基板に対して主表面側から水素を添加し、水素添加層を形成する第1工程と、前記第1単結晶シリコン基板と支持体となる第2基板とを前記酸化シリコン膜を介して貼り合わせる第2工程と、第1熱処理により前記第1単結晶シリコン基板を分断する第3工程と、前記第3工程によって前記第2基板の上に残存した単結晶シリコン薄膜の主表面を平坦化する第4工程と、前記単結晶シリコン薄膜をバターニングして島状シリコン層を形成する第5工程と、前記島状シリコン層に対して熱酸化処理を行う第6工程と、を有することを特徴とする半導体装置の作製方法。

【請求項3】請求項1又は請求項2において、前記熱酸化処理は1050～1150℃の温度で行われることを特徴とする半導体装置の作製方法。

【請求項4】請求項1乃至請求項3において、前記熱酸化処理はハロゲン元素を含む酸化性雰囲気中で行われることを特徴とする半導体装置の作製方法。

【請求項5】第1単結晶シリコン基板を陽極酸化することにより多孔質シリコン層を形成する第1工程と、前記多孔質シリコン層上に単結晶シリコン薄膜をエピタキシャル成長させる第2工程と、前記単結晶シリコン薄膜上に酸化シリコン膜を形成する第3工程と、前記第1単結晶シリコン基板と支持体となる第2基板とを前記酸化シリコン膜を介して貼り合わせる第4工程と、前記第1単結晶シリコン基板及び前記第2基板に対して第1熱処理を行う第5工程と、前記第1単結晶シリコン基板を前記多孔質シリコン層が露呈するまで研磨する第6工程と、前記多孔質シリコン層を除去し、前記単結晶シリコン薄膜を露呈させる第7工程と、前記単結晶シリコン薄膜をバターニングして島状シリコン層を形成する第8工程と、前記島状シリコン層に対して熱酸化処理を行う第9工程と、を有することを特徴とする半導体装置の作製方法。

【請求項6】第1単結晶シリコン基板を陽極酸化するこ

2

多孔質シリコン層上に単結晶シリコン薄膜をエピタキシャル成長させる第2工程と、前記単結晶シリコン薄膜上に酸化シリコン膜を形成する第3工程と、前記第1単結晶シリコン基板と支持体となる第2基板とを前記酸化シリコン膜を介して貼り合わせる第4工程と、前記第1単結晶シリコン基板を前記多孔質シリコン層が露呈するまで研磨する第5工程と、前記多孔質シリコン層を除去し、前記単結晶シリコン薄膜を露呈させる第6工程と、前記単結晶シリコン薄膜をバターニングして島状シリコン層を形成する第7工程と、前記島状シリコン層に対して熱酸化処理を行う第8工程と、を有することを特徴とする半導体装置の作製方法。

【請求項7】請求項5又は請求項6において、前記熱酸化処理は1050～1150℃の温度で行われることを特徴とする半導体装置の作製方法。

【請求項8】請求項5乃至請求項7において、前記熱酸化処理はハロゲン元素を含む酸化性雰囲気中で行われることを特徴とする半導体装置の作製方法。

## 【発明の詳細な説明】

## 【0001】

【発明が属する技術分野】本願発明は絶縁表面を有する基板上に形成された単結晶シリコン薄膜を用いた薄膜トランジスタ（以下、TFTと呼ぶ）の作製方法を提供するものであり、TFTで構成された半導体回路を含む半導体装置の作製方法に関する。

【0002】なお、本明細書中において半導体装置とは半導体特性を利用して機能しうる装置全般を指し、液晶表示装置に代表される電気光学装置、TFTを集積化した半導体回路、またその様な電気光学装置や半導体回路を部品として含む電子機器をもその範疇に含むものとする。

## 【0003】

【従来の技術】近年、VLSI技術が飛躍的な進歩を遂げる中で低消費電力を実現するSOI（Silicon on Insulator）構造が注目されている。この技術は従来バルク単結晶シリコンで形成されていたFETの活性領域（チャネル形成領域）を、単結晶シリコン薄膜とする技術である。

【0004】SOI基板では単結晶シリコン上に酸化シリコンでなる埋め込み酸化膜が存在し、その上に単結晶シリコン薄膜が形成される。この様なSOI基板の作製方法は様々な方法が知られているが、最近では貼り合わせSOI基板が注目されている。貼り合わせSOI基板とは、その名の通り2枚のシリコン基板を貼り合わせることでSOI構造を実現するものである。この技術は将来的にはガラス基板などの上にも単結晶シリコン薄膜を形成できる可能性がある。

【0005】その貼り合わせSOI基板の中でも最近特に注目されているのがSmart-Cut（SOITEC社の登録商

にフランスのSOITEC社で開発された技術であり、水素脆化を利用した貼り合わせSOI基板の作製方法である。Smart-Cut法の詳細な技術に関しては、「工業調査会、電子材料8月号、pp.83~87、1997」に詳しい。

【0006】また、他の方法としてELTRAN（キャノンの登録商標）と呼ばれる技術が知られている。この技術は多孔質シリコン層の選択性エッチングを利用したSOI基板の作製方法である。ELTRAN法の詳細な技術に関しては、「T.Yonehara, K.Sakaguchi and T.Hamaguchi:Appl.Phys.Lett.43[3], 253 (1983)」に詳しい。

【0007】どちらの方法を用いても基板上に所望の厚さの単結晶シリコン薄膜を形成することが可能である。しかしながら、両方法ともに2枚の基板を貼り合わせる工程において高温の熱処理を行うため、形成された単結晶シリコン薄膜には強い応力が発生し、残存してしまうといった問題がある。

【0008】この時の応力が単結晶シリコン薄膜で形成されたTFTの活性層に残ってしまうと、キャリアのトラップ準位として働いたり、TFT特性の経時変化を招く要因ともなりうる。この問題点は、Smart-Cut法やELTRAN法を用いる上で非常に重要な問題点であり、根本的な解決が要求されている。

#### 【0009】

【発明が解決しようとする課題】本願発明は上記問題点を解決するための手段を提供するものであり、Smart-Cut法やELTRAN法で形成された単結晶シリコン薄膜から応力に起因する準位や欠陥を除去するための方法を提供することを課題とする。

【0010】そして、その様な単結晶シリコン薄膜を用いたTFTの動作性能の向上、延いてはTFTを用いた半導体回路や電気光学装置の動作性能の向上や信頼性の向上を課題とする。さらに、その様な半導体回路や電気光学装置を搭載した電子機器の動作性能の向上や信頼性の向上を課題とする。

#### 【0011】

【課題を解決するための手段】本明細書で開示する発明の構成は、主表面上に酸化シリコン膜を有する第1単結晶シリコン基板に対して主表面側から水素を添加し、水素添加層を形成する第1工程と、前記第1単結晶シリコン基板と支持体となる第2基板とを前記酸化シリコン膜を介して貼り合わせる第2工程と、第1熱処理により前記第1単結晶シリコン基板を分断する第3工程と、前記第3工程によって前記第2基板の上に残存した単結晶シリコン薄膜に対して第2熱処理を行う第4工程と、前記単結晶シリコン薄膜の主表面を平坦化する第5工程と、前記単結晶シリコン薄膜をバーニングして島状シリコン層を形成する第6工程と、前記島状シリコン層に対して熱酸化処理を行う第7工程と、を有することを特徴とする。

10

20

30

40

【0012】また、他の発明の構成は、主表面上に酸化シリコン膜を有する第1単結晶シリコン基板に対して主表面側から水素を添加し、水素添加層を形成する第1工程と、前記第1単結晶シリコン基板と支持体となる第2基板とを前記酸化シリコン膜を介して貼り合わせる第2工程と、第1熱処理により前記第1単結晶シリコン基板を分断する第3工程と、前記第3工程によって前記第2基板の上に残存した単結晶シリコン薄膜の主表面を平坦化する第4工程と、前記単結晶シリコン薄膜をバーニングして島状シリコン層を形成する第5工程と、前記島状シリコン層に対して熱酸化処理を行う第6工程と、を有することを特徴とする。

【0013】また、他の発明の構成は、第1単結晶シリコン基板を陽極酸化することにより多孔質シリコン層を形成する第1工程と、前記多孔質シリコン層上に単結晶シリコン薄膜をエピタキシャル成長させる第2工程と、前記単結晶シリコン薄膜上に酸化シリコン膜を形成する第3工程と、前記第1単結晶シリコン基板と支持体となる第2基板とを前記酸化シリコン膜を介して貼り合わせる第4工程と、前記第1単結晶シリコン基板及び前記第2基板に対して第1熱処理を行う第5工程と、前記第1単結晶シリコン基板を前記多孔質シリコン層が露呈するまで研磨する第6工程と、前記多孔質シリコン層を除去し、前記単結晶シリコン薄膜を露呈させる第7工程と、前記単結晶シリコン薄膜をバーニングして島状シリコン層を形成する第8工程と、前記島状シリコン層に対して熱酸化処理を行う第9工程と、を有することを特徴とする。

【0014】また、他の発明の構成は、第1単結晶シリコン基板を陽極酸化することにより多孔質シリコン層を形成する第1工程と、前記多孔質シリコン層上に単結晶シリコン薄膜をエピタキシャル成長させる第2工程と、前記単結晶シリコン薄膜上に酸化シリコン膜を形成する第3工程と、前記第1単結晶シリコン基板と支持体となる第2基板とを前記酸化シリコン膜を介して貼り合わせる第4工程と、前記第1単結晶シリコン基板を前記多孔質シリコン層が露呈するまで研磨する第5工程と、前記多孔質シリコン層を除去し、前記単結晶シリコン薄膜を露呈させる第6工程と、前記単結晶シリコン薄膜をバーニングして島状シリコン層を形成する第7工程と、前記島状シリコン層に対して熱酸化処理を行う第8工程と、を有することを特徴とする。

【0015】なお、前記熱酸化処理は1050~1150℃(代表的には1100℃)の温度で行われる。1100℃付近を超えるとSi-O-Si結合の応力緩和が起こり貼り合わせ界面が安定化する。

【0016】また、上記構成において、前記熱酸化処理はハロゲン元素を含む酸化性雰囲気中で行われることが好ましい。ハロゲン元素を含む酸化性雰囲気としては酸

素( $NF_3$ )の混合ガスなどを用いると良い。

【0017】勿論、他の方法としてドライO<sub>2</sub>酸化、ウェットO<sub>2</sub>酸化、スチーム(水蒸気)酸化、パイロジェニック酸化(水素燃焼酸化)、酸素分圧酸化などを用いることも可能である。

【0018】以上の様な構成からなる本願発明であるが、最も重要な要旨は、Smart-Cut法やELTRAN法を用いて形成した単結晶シリコン薄膜でなる島状シリコン層に対して高い温度での熱処理工程を施すことにある。こうすることによって単結晶シリコン層中の応力が緩和され、TFTの活性層中から応力歪みに起因するトラップ準位や欠陥を除去することができる。

【0019】従って、最終的な活性層の結晶性を元の単結晶の状態にほぼ回復させ、TFTの動作性能及び信頼性を向上させることができるとなり、TFTで半導体回路を構成する全ての半導体装置の動作性能及び信頼性を向上させることができる。

#### 【0020】

【発明の実施の形態】本願発明の実施の形態について、以下に記載する実施例でもって詳細な説明を行うこととする。

#### 【0021】

【実施例】(実施例1)本願発明の構成について、図1、図2を用いて説明する。まず、単結晶シリコン基板101を用意する。次いで熱酸化処理を行い、その主表面(素子形成面)に酸化シリコン膜102を形成する。膜厚は実施者が適宜決定すれば良いが、0.05~0.5μmとすれば良い。この酸化シリコン膜102は後にSOI基板の埋め込み酸化膜として機能する。(図1(A))

【0022】次に、単結晶シリコン基板101の主表面側から酸化シリコン膜102を通して水素を添加する。この場合、水素イオンの形でイオンインプランテーション法を用いて水素添加を行えば良い。勿論、水素の添加工程を他の手段で行うことも可能である。こうして水素添加層103が形成される。本実施例では水素イオンを $1 \times 10^{16} \sim 1 \times 10^{17} atoms/cm^2$ のドーズ量で添加する。(図1(B))

【0023】なお、水素添加層103が形成される深さは後に単結晶シリコン薄膜の膜厚を決定するため、精密な制御が必要である。本実施例では単結晶シリコン基板101の主表面と水素添加層103との間に50nm厚の単結晶シリコン層が残る様に水素添加プロファイルの深さ方向の制御を行っている。

【0024】次に、単結晶シリコン基板101と絶縁表面を有する基板(第2基板)とを貼り合わせる。第2基板としては、表面に薄い酸化シリコン膜を設けた基板が代表的に用いられる。基板はシリコン基板、石英基板、セラミックス基板、結晶化ガラス基板など、耐熱性の高い基板が用いられる。本実施例では薄い酸化シリコン膜

#### (C))

【0025】この時、貼り合わせ界面は親水性の高い酸化シリコン膜同士となるので、両表面に含まれた水分の反応により水素結合で接着される。

【0026】次に、400~600°C(典型的には500°C)の熱処理(第1熱処理)を行う。この熱処理により水素添加層103では微小空乏の体積変化が起こり、水素添加層103に沿って破断面が発生する。これにより第1単結晶シリコン基板101は分断され、第2基板の上には酸化シリコン膜102と単結晶シリコン薄膜106が残される。(図2(A))

【0027】次に、第2熱処理工程として1050~1150°Cの温度範囲でファーネスアニール工程を行う。この工程では貼り合わせ界面において、Si-O-Si結合の応力緩和が起こり、貼り合わせ界面が安定化する。即ち、単結晶シリコン薄膜106を第2基板104上に完全に接着させるための工程となる。本実施例ではこの工程を1100°C2時間で行う。

【0028】こうして貼り合わせ界面が安定化することで埋め込み酸化膜107が画定する。なお、図2(B)において埋め込み酸化膜107中の点線は、貼り合わせ界面を示しており、界面が強固に接着されたことを意味している。

【0029】次に、単結晶シリコン薄膜106の表面を研磨工程によって平坦化する。研磨工程は公知のあらゆる手段を用いることができるが、CMP(ケミカルメカニカルポリッシング)と呼ばれる研磨技術を用いれば良い。

【0030】次に、単結晶シリコン薄膜106をパテニングして、後にTFTの活性層となる島状シリコン層108を形成する。(図2(C))

【0031】ここまで工程は通常のSmart-Cut法と同じである。本願発明の重要な構成は、この後に続く熱酸化工程である。

【0032】次に、複数の島状シリコン層108に対して熱酸化処理を行う。この熱酸化処理により島状シリコン層108の内部に存在していたトラップ準位や欠陥が消滅し、結晶性の回復した島状シリコン層109が形成される。なお、110で示されるのは熱酸化処理によって形成された酸化シリコン膜である。この酸化シリコン膜110はTFTのゲート絶縁膜として活用しても良い。

【0033】この熱酸化処理は酸化性雰囲気であれば良いが、好ましくはハロゲン元素を含む酸化性雰囲気で行うと良い。本実施例では三フッ化窒素( $NF_3$ )を含む酸素雰囲気で、800°C2時間の熱酸化処理を行う。

【0034】この工程の目的は、島状シリコン層108の内部に残存する応力を緩和することにある。その点について説明する。

加える際、単結晶シリコン薄膜306には強い応力がかかり、その結果、薄膜内部には応力に起因するトラップ準位や欠陥が発生する。このトラップ準位や欠陥はパターニングして活性層となつた後でも残存してしまう。この様なトラップ準位は言うまでもなくキャリア（電子又は正孔）の移動を妨げる原因となり、TFT特性を著しく低下させてしまう。

【0036】しかしながら、本願発明の構成では図2(D)の熱酸化工程を行うことにより島状シリコン層内部のトラップ準位や欠陥が消滅するので TFT 特性の大幅な向上及び信頼性の向上を実現することができる。

【0037】(実施例2) 本実施例は実施例1の作製工程の順序を変えた場合の例である。途中までは実施例1と同様であるので説明は省略する。

【0038】まず、実施例1と同様の手順で図2(A)の基板分断工程までを終了させる。次に、第2基板上に残存した単結晶シリコン薄膜を CMP 等の手段により研磨して平坦化したら、パターニング工程を行って島状シリコン層を形成する。

【0039】そして、島状シリコン層を形成したら、その状態で熱酸化処理を行う。即ち、貼り合わせ界面の安定化と島状シリコン層内のトラップ準位や欠陥の低減とを同一の熱処理（温度範囲は 1050～1150°C）で一度に行ってしまうことが本実施例の特徴となる。

【0040】この様に、実施例1では、貼り合わせ界面の安定化のための第2熱処理工程と、トラップ準位や欠陥の低減のための熱酸化工程とを分けて行っていたが、本実施例によれば両工程を兼ねることで工程数を削減することができる。

【0041】(実施例3) 実施例1及び実施例2ではSmart-Cut法により形成した単結晶シリコン薄膜中からトラップ準位や欠陥を低減する例を示したが、本願発明は他の貼り合わせSOI技術で形成された単結晶シリコン薄膜に対しても有効である。

【0042】本実施例では、貼り合わせSOI技術の一つであるELTRAN法で形成された単結晶シリコン薄膜に対して本願発明を適用した場合の例について図3、図4を用いて説明する。

【0043】まず、単結晶シリコン基板301を用意し、その主表面を陽極酸化することにより多孔質シリコン層302を形成する。陽極酸化工程はフッ酸とエタノールの混合溶液中で行えば良い。ELTRAN法自体が公知があるので詳細な説明はここでは省略する。

【0044】そして、その多孔質シリコン層302上にエピタキシャル成長により 100 nm 厚の単結晶シリコン薄膜303を形成する。(図3(A))

【0045】単結晶シリコン薄膜303を形成したら、熱酸化工程を行って単結晶シリコン薄膜上に 100 nm 厚の酸化シリコン膜304を形成する。この酸化シリコン

する。また、この熱酸化工程により単結晶シリコン薄膜305の膜厚は 50 nm となる。(図3(B))

【0046】次に、表面に薄い酸化シリコン膜306を形成したセラミックス基板(第2基板)307と、前述の単結晶シリコン基板301とを貼り合わせる。(図3(C))

【0047】貼り合わせが終了したら、次に 1050～1150°C の温度で熱処理工程を行い、酸化シリコン同士でなる貼り合わせ界面の安定化を行う。本実施例ではこの熱処理工程を 1100°C 2 時間で行う。なお、実施例1でも説明した様に、点線で示しているのは完全に接着された貼り合わせ界面である。(図3(D))

【0048】次に、CMP 等の機械的な研磨により単結晶シリコン基板301を裏面側から研磨し、多孔質シリコン層302が露呈したところで研磨を終了する。こうして図4(A)の状態を得る。

【0049】次に、多孔質シリコン層302をウェットエッチングして選択的に除去する。用いるエッチャントはフッ酸水溶液と過酸化水素水溶液との混合溶液が良い。49%HF と 30%H<sub>2</sub>O<sub>2</sub> を 1:5 で混合した溶液は、単結晶シリコン層と多孔質シリコン層との間で 10 万倍以上の選択比を持つことが報告されている。

【0050】こうして図4(B)の状態が得られる。この状態ではセラミックス基板307 上に埋め込み酸化膜308(厳密には酸化シリコン膜304及び306との積層膜)が設けられ、その上に単結晶シリコン薄膜305が形成された状態を得る。

【0051】次に、単結晶シリコン薄膜305に対してパターニングを施し、島状シリコン層309を形成する。勿論、この島状シリコン層は基本的に TFT の活性層として利用することになる。(図4(C))

【0052】ここまで説明した数値条件等は本実施例に限定されるものではなく、公知のELTRAN法の技術をそのまま利用することができる。

【0053】島状シリコン層309を形成したら、本願発明の特徴である熱酸化工程を行う。本実施例では酸素雰囲気中に塩化水素ガスを混合した状態で、950°C 30 分の熱酸化処理を行う。勿論、塩化水素以外に三フッ化窒素等、他のハロゲン系ガスを混合しても良い。また、ドライ酸素、ウェット酸素等、公知の熱酸化雰囲気であっても構わない。(図4(D))

【0054】こうして島状シリコン層309内のトラップ準位や欠陥が消滅し、内部にキャリアの移動を妨げる要因のない単結晶シリコン層からなる島状シリコン層310を形成することができる。また、この時形成される酸化シリコン膜311はそのまま TFT のゲート絶縁膜として用いることもできる。

【0055】以上の様にして、欠陥等のない島状シリコン層を形成し、それを活性層とする TFT を作製するこ

ができる。そして、それに伴いTFTを用いた半導体回路、電気光学装置、さらには電子機器の動作性能及び信頼性をも向上することができる。

【0056】(実施例4) 本実施例は実施例3の作製工程の順序を変えた場合の例である。途中までは実施例3と同様であるので説明は省略する。

【0057】まず、実施例3と同様の手順で図3(C)の貼り合わせ工程までを終了させる。次に、図3(D)の熱処理工程を行わずにそのまま図4(A)に示した研磨工程に進む。そして、図4(C)のパターニング工程まで終了させる。

【0058】そして、島状シリコン層を形成したら、その状態で熱酸化処理を行う。即ち、貼り合わせ界面の安定化と島状シリコン層内のトラップ準位や欠陥の低減とを同一の熱処理(温度範囲は1050~1150°C)で一度に行ってしまうことが本実施例の特徴となる。

【0059】この様に、実施例3では、貼り合わせ界面の安定化のための熱処理工程と、トラップ準位や欠陥の低減のための熱酸化工程とを分けて行っていたが、本実施例によれば両工程を兼ねることで工程数を削減することができる。

【0060】(実施例5) 本実施例では、実施例1乃至実施例4の構成を用いて形成された島状シリコン層を用いてTFTを作製する場合について図5を用いて説明する。

【0061】まず、実施例1乃至実施例4のいずれかの作製工程に従って島状シリコン層501を形成する。なお、本実施例では島状シリコン層501中のトラップ準位や欠陥を除去するための熱酸化工程と同時にゲート絶縁膜(酸化シリコン膜)502を形成する。そしてゲート絶縁膜502上にn型ポリシリコン膜でなるゲート電極503を形成する。(図5(A))

【0062】次に、ゲート電極503をマスクとして自己整合的にn型またはp型を付与する不純物を添加する。本実施例ではn型TFTを作製する例とし、不純物としてリンを添加する。勿論、p型TFTを形成するならばボロンを添加すれば良い。この工程により不純物領域504を形成する。(図5(B))

【0063】また、ゲート電極直下のシリコン層中に逆導電型不純物(例えばn型TFTに対してはボロン)を添加してTFTのしきい値電圧を制御することも有効である。この不純物はゲート電極上からスルードープによって添加しても良いし、ゲート電極形成前に予め添加しておいても良い。

【0064】こうして図5(B)の状態が得られたら、次に酸化シリコン膜でなるサイドウォール(サイドスペーサー)505を形成する。サイドウォール505は公知の異方性エッチング技術を用いることで形成できる。

【0065】サイドウォール505を形成した後、再び

濃度の高い不純物領域を形成する。この二度に渡る不純物添加工程を経て、ソース領域506、ドレイン領域507、LDD領域508、チャネル形成領域509が画定する。(図5(C))

【0066】次に、熱アニール工程を行い、前工程で添加した不純物の活性化と、添加時のダメージによるシリコン層の損傷の回復とを行う。この熱アニール工程はファーネスアニール、レーザーアニール、ランプアニールのいずれかの手段を単独又は併用して行えば良い。

【0067】次に、図5(C)の状態で全面をコバルト膜(図示せず)で覆い、熱アニール処理を行ってコバルトシリサイド層510を形成する。コバルト以外にもチタン、タンクステン等の金属膜を用いることもできる。この工程は公知のサリサイド技術であるので詳細な説明は省略する。

【0068】次に、樹脂材料でなる層間絶縁膜511を1μmの厚さに形成する。層間絶縁膜511としては、他にも酸化シリコン膜、窒化シリコン膜又は酸化窒化シリコン膜を用いても良いし、これらの絶縁膜を積層しても良い。

【0069】次に、層間絶縁膜511にコンタクトホールを形成してアルミニウムを主成分とする材料でなるソース配線512及びドレイン配線513を形成する。最後に素子全体に対して水素雰囲気中で350°C 2時間のファーネスアニールを行い、水素化を完了する。

【0070】こうして、図5(D)に示す様なTFTが得られる。なお、本実施例で説明した構造は一例であって本願発明を適用しうるTFT構造はこれに限定されない。従って、公知のあらゆるトップゲート構造のTFTに対して適用可能である。

【0071】さらに、図5(D)の構造においてドレイン配線513と電気的に接続する画素電極(図示せず)を公知の手段で形成すればアクティブラトリックス型表示装置の画素スイッチング素子を形成することも容易である。

【0072】即ち、本願発明は液晶表示装置やEL(エレクトロルミネッセンス)表示装置などの電気光学装置の作製方法としても非常に有効な技術である。

【0073】この様に、本願発明はあらゆる構造のTFTに対して適用可能であり、本願発明を利用して様々な半導体回路を構築することができる。即ち、本願発明はTFTでもって形成された半導体回路を含むあらゆる半導体装置に対して適用できると言える。

【0074】(実施例6) 本実施例では、実施例5の作製工程に従って形成されたTFTでもって半導体回路を構成した液晶表示装置の例を図6に示す。画素TFT(画素スイッチング素子)の作製方法やセル組工程は公知の手段を用いれば良いので詳細な説明は省略する。

【0075】図6において11は絶縁表面を有する基

11

一回路、14はゲイトドライバ回路、15は対向基板、16はFPC（フレキシブルプリントサーキット）、17は信号処理回路である。

【0076】信号処理回路17としては、D/Aコンバータ、 $\gamma$ 補正回路、信号分割回路などの従来ICで代用していた様な処理を行う回路を形成することができる。勿論、ガラス基板上にICチップを設けて、ICチップ上で信号処理を行うことも可能である。

【0077】さらに、本実施例では液晶表示装置を例に挙げて説明しているが、アクティブマトリクス型の表示装置であればEL（エレクトロルミネッセンス）表示装置やEC（エレクトロクロミックス）表示装置に本願発明を適用することも可能であることは言うまでもない。

【0078】なお、本実施例に示した液晶表示装置を作製するにあたって、実施例1乃至実施例4のいずれの構成を採用しても構わない。

【0079】（実施例7）本願発明は従来のIC技術全般に適用することが可能である。即ち、現在市場に流通している全ての半導体回路に適用できる。例えば、ワンチップ上に集積化されたRISCプロセッサ、ASICプロセッサ等のマイクロプロセッサに適用しても良いし、D/Aコンバータ等の信号処理回路から携帯機器（携帯電話、PHS、モバイルコンピュータ）用の高周波回路に適用しても良い。

【0080】図7に示すのは、マイクロプロセッサの一例である。マイクロプロセッサは典型的にはCPUコア21、RAM22、クロックコントローラ23、キャッシュメモリー24、キャッシュコントローラ25、シリアルインターフェース26、I/Oポート27等から構成される。

【0081】勿論、図7に示すマイクロプロセッサは簡略化した一例であり、実際のマイクロプロセッサはその用途によって多種多様な回路設計が行われる。

【0082】しかし、どの様な機能を有するマイクロプロセッサであっても中枢として機能するのはIC（Integrated Circuit）28である。IC28は半導体チップ29上に形成された集積化回路をセラミック等で保護した機能回路である。

【0083】そして、その半導体チップ29上に形成された集積化回路を構成するのが本願発明の構造を有するNチャネル型TFT30、Pチャネル型TFT31である。なお、基本的な回路はCMOS回路を最小単位として構成することで消費電力を抑えることができる。

【0084】また、本実施例に示したマイクロプロセッサは様々な電子機器に搭載されて中枢回路として機能する。代表的な電子機器としてはパーソナルコンピュータ、携帯型情報端末機器、その他あらゆる家電製品が挙げられる。また、車両（自動車や電車等）の制御用コンピュータなども挙げられる。

12

様々な電子機器のディスプレイとして利用される。その様な電子機器としては、ビデオカメラ、スチルカメラ、プロジェクター、プロジェクションTV、ヘッドマウントディスプレイ、カーナビゲーション、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話等）など

【0086】図8(A)は携帯電話であり、本体2001、音声出力部2002、音声入力部2003、表示装置2004、操作スイッチ2005、アンテナ2006で構成される。本願発明を音声出力部2002、音声入力部2003、表示装置2004やその他の信号制御回路に適用することができる。

【0087】図8(B)はビデオカメラであり、本体2101、表示装置2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106で構成される。本願発明を表示装置2102、音声入力部2103やその他の信号制

【0088】図8(C)はモバイルコンピュータ（モバイルコンピュータ）であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示装置2205で構成される。本願発明は表示装置2202やその他の信号制御回路に適用できる。

【0089】図8(D)はヘッドマウントディスプレイであり、本体2301、表示装置2302、バンド部2303で構成される。本発明は表示装置2302やその他の信号制御回路に適用することができる。

【0090】図8(E)はリア型プロジェクターであり、本体2401、光源2402、表示装置2403、偏光ビームスプリッタ2404、リフレクター2405、2406、スクリーン2407で構成される。本発明は表示装置2403やその他の信号制御回路に適用することができる。

【0091】図8(F)はフロント型プロジェクターであり、本体2501、光源2502、表示装置2503、光学系2504、スクリーン2505で構成される。本発明は表示装置2503やその他の信号制御回路に適用することができる。

【0092】以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。

【0093】

【発明の効果】Smart-Cut法やELTRAN法に代表される貼り合わせSOI技術で単結晶シリコン薄膜を形成するにあたって、形成されたシリコン層内部の結晶性をほぼ完全な単結晶に回復することができる。即ち、TFTの活性層としてトラップ単位や欠陥の殆どない単結晶シリコン薄膜を用いることが可能となる。

【0094】従って、基板上に形成された複数のTFTの動作性能及び信頼性を大幅に向上させることが可能と

13

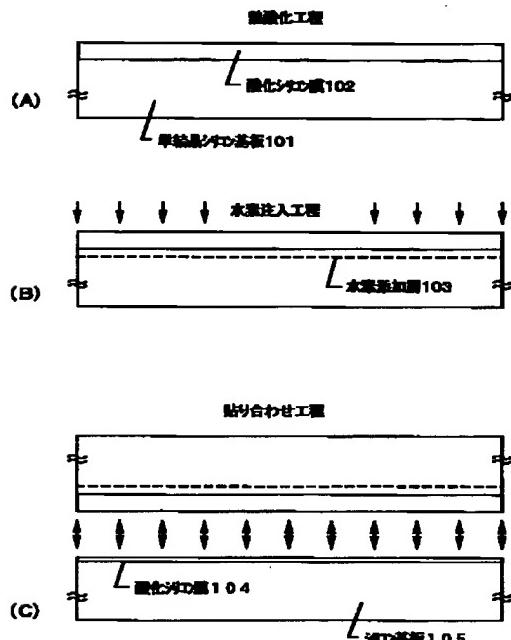
半導体回路、電気光学装置、さらには半導体回路や電気光学装置を搭載した電子機器の動作性能及び信頼性の向上を実現することができる。

### 【図面の簡単な説明】

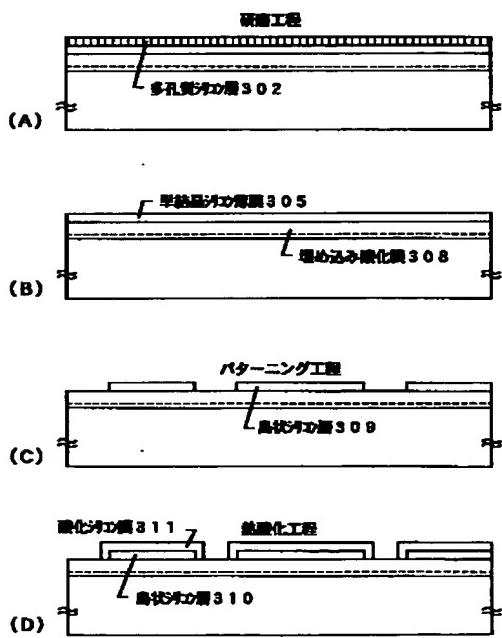
【図1】 島状シリコン層の形成工程を示す図。

【図2】 島状シリコン層の形成工程を示す図。

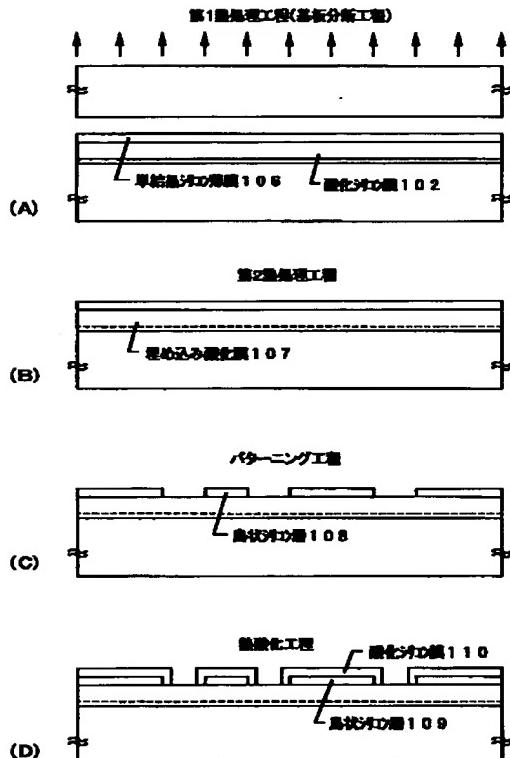
【図1】



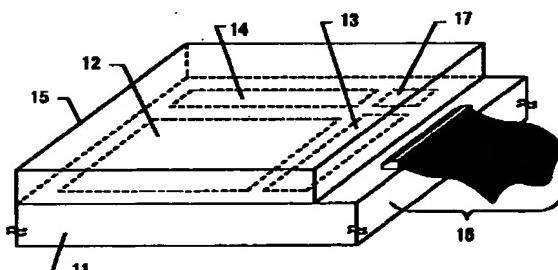
〔図4〕



【図2】

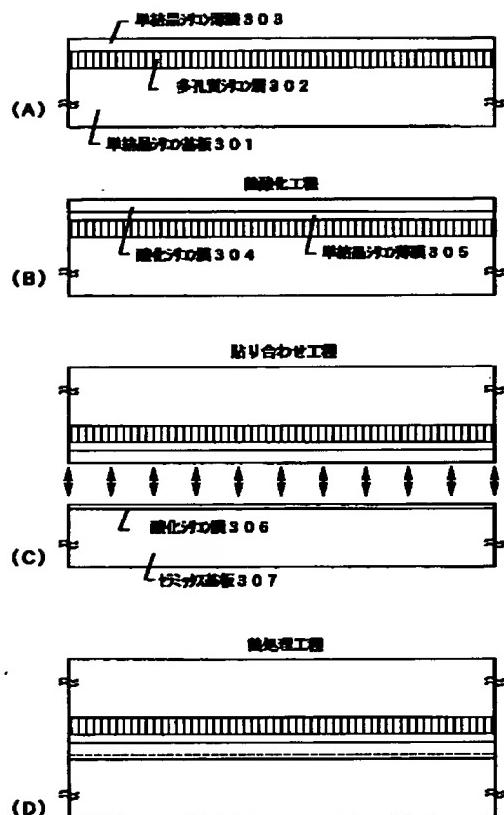


【図6】

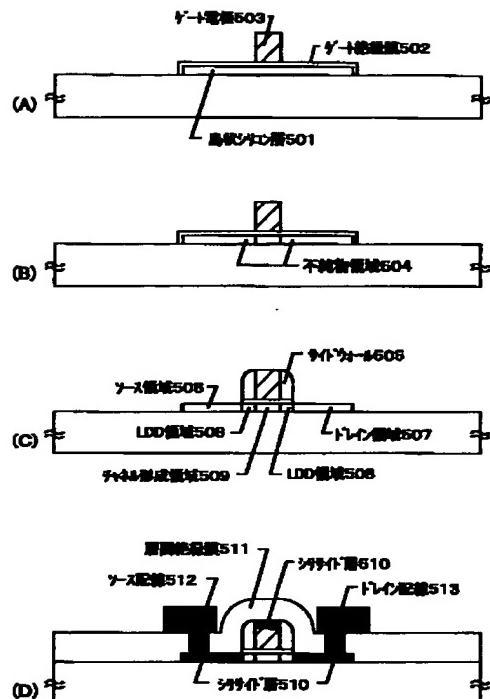


11:絶縁表面を有する基板 12:図案マトリクス回路  
13:ソースドライバー回路 14:ゲイドドライバー回路 15:対向基板  
16:FPC 17:信号処理回路

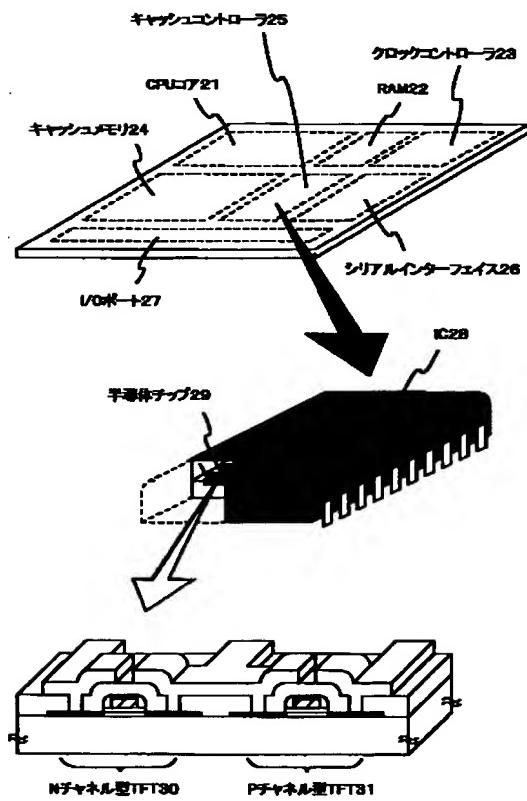
【図3】



【図5】



【図7】



【図8】

